

A5



US6333540

Biblio

Desc

Claims

Page 1

Drawing



S miconductor d vic manufacturing method and s miconductor d vic

Patent Number: ☐ [US6333540](#)
Publication date: 2001-12-25
Inventor(s): SHIOZAWA KATSUOMI (JP); ITOH YASUYOSHI (JP); UENO SYUICHI (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (US)
Requested Patent: ☐ [JP2001308318](#)
Application Number: US20000668472 20000925
Priority Number(s): JP20000117757 20000419
IPC Classification: H01L27/01
EC Classification:
Equivalents:

Abstract

A semiconductor device and manufacturing method capable of forming shallow extension regions in insulated-gate transistors. A side wall material containing about 1 to 20% of phosphorus, such as PSG, is deposited on the sides of an opening to a film thickness of tens of nanometers to about 100 nm and etched back to form phosphorus-containing side walls respectively adjacent to boron-containing side walls. An interlayer insulating film of silicon nitride etc. is then formed on the silicon nitride film. A thermal process performed during formation of the interlayer insulating film forms N-type extension regions in the NMOS region through a diffusion where phosphorus contained in the phosphorus-containing side walls serves as the diffusion source and P-type extension region in the PMOS region through a diffusion where boron contained in the boron-containing side walls serves as the diffusion source

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-308318

(P2001-308318A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L	29/78	H 0 1 L	29/78
	21/336		27/08
	21/8238		29/62
	27/092		29/78
	29/43		3 0 1 L
			3 2 1 E
			G
			3 0 1 P
			3 0 1 G

審査請求 未請求 請求項の数15 O L (全 23 頁)

(21)出願番号 特願2000-117757(P2000-117757)

(22)出願日 平成12年4月19日(2000.4.19)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 塩沢 勝臣

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 上野 修一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

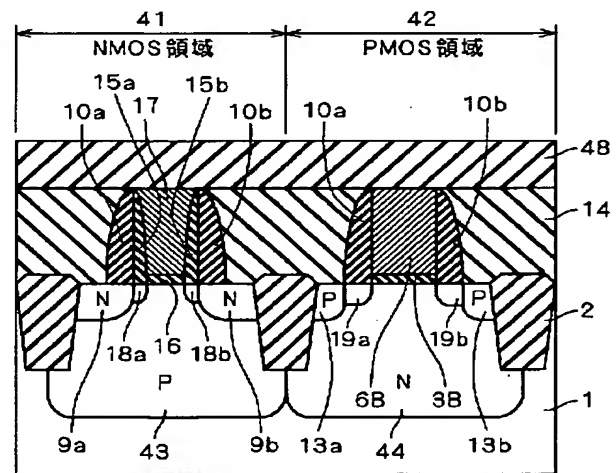
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び半導体装置

(57)【要約】

【課題】 絶縁ゲート構造のトランジスタのエクステンション領域を浅く形成可能な半導体装置の製造方法を得る。

【解決手段】 開口部の側面に、PSG等のリンを1～20%程度含むサイドウォール材料を数10～100nmの膜厚で堆積し、エッチバックを施すことにより、ボロン含有サイドウォール10a、10bそれぞれに隣接してリン含有サイドウォール15a、15bを形成する。そして、シリコン窒化膜14上にシリコン窒化膜等からなる層間絶縁膜48を形成する。この層間絶縁膜48の形成の際に行う熱処理によって、NMOS領域41ではリン含有サイドウォール15a、15bに含まれるリンを拡散源とした拡散によってN型エクステンション領域18a、18bが形成され、PMOS領域42ではボロン含有サイドウォール10a、10bに含まれるボロンを拡散源とした拡散によってP型エクステンション領域19a、19bが形成される。



18a、18b : N型エクステンション領域

19a、19b : P型エクステンション領域

48 : 層間絶縁膜

1

【特許請求の範囲】

【請求項 1】 (a) 半導体基板の表面内に第 1 の導電型の第 1 及び第 2 のソース・ドレイン主要領域を、前記第 1 及び第 2 のソース・ドレイン主要領域間の前記半導体基板上に仮ゲート電極部をそれぞれ形成するステップと、

(b) 前記仮ゲート電極部の側面に第 1 及び第 2 の補助用サイドウォールを形成するステップと、

(c) 前記仮ゲート電極部を除去して、前記第 1 及び第 2 の補助用サイドウォールを側面とした開口部を得るステップと、

(d) 前記開口部内に、前記第 1 及び第 2 の補助用サイドウォールそれぞれに隣接して、第 1 の導電型の第 1 のエクステンション用不純物を含有する第 1 及び第 2 のエクステンション用サイドウォールを形成するステップと、

(e) 前記ステップ (d) 実行後の前記開口部内に第 1 の実ゲート絶縁膜、第 1 の実ゲート電極を順次形成して第 1 の実ゲート電極部を得るステップと、

(f) 前記第 1 及び第 2 のエクステンション用サイドウォール内の前記第 1 のエクステンション用不純物を拡散源とした第 1 の拡散処理により、前記第 1 及び第 2 のソース・ドレイン主要領域それぞれに隣接して、第 1 の導電型の第 1 及び第 2 のエクステンション領域を形成するステップとを備え、

前記第 1 の実ゲート絶縁膜、第 1 の実ゲート電極、前記第 1 及び第 2 のソース・ドレイン主要領域及び前記第 1 及び第 2 のエクステンション領域によって第 1 の導電型の絶縁ゲート構造の第 1 のトランジスタが規定される、半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法であって、

前記ステップ (f) は、前記第 1 のトランジスタを含む前記半導体基板上の全面に層間絶縁膜を形成するステップを含み、

前記第 1 の拡散処理は、前記層間絶縁膜の形成時の熱処理を利用して行う拡散処理を含む、半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法であって、

前記第 1 及び第 2 のエクステンション用サイドウォールは第 2 の導電型のポケット用不純物をさらに含有するサイドウォールを含み、

前記ステップ (f) は、前記ポケット用不純物を拡散源とした第 2 の拡散処理により、前記第 1 及び第 2 のソース・ドレイン主要領域に隣接して第 1 及び第 2 のポケット領域をさらに形成するステップを含む、半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法であって、

前記ポケット用不純物は前記第 1 のエクステンション用

2

不純物より拡散係数が高い、半導体装置の製造方法。

【請求項 5】 請求項 3 あるいは請求項 4 記載の半導体装置の製造方法であって、

前記ステップ (f) は、前記第 1 のトランジスタを含む前記半導体基板上の全面に層間絶縁膜を形成するステップとを含み、

前記第 1 及び第 2 の拡散処理は、前記層間絶縁膜の形成時の熱処理を利用して同時に行う拡散処理を含む、半導体装置の製造方法。

【請求項 6】 請求項 1 記載の半導体装置の製造方法であって、

前記第 1 の実ゲート電極を形成するゲート電極材料は第 1 の導電型のゲート電極材料を含む、半導体装置の製造方法。

【請求項 7】 請求項 1 ないし請求項 6 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

(g) 前記実ゲート電極部が形成されるべき領域下方の前記半導体基板の表面内の領域を少なくとも含む所定の半導体領域に第 2 の導電型の不純物を導入する不純物導入処理を実行するステップをさらに備える、半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法であって、

前記ステップ (g) は、前記ステップ (c) の後に実行されるステップを含み、

前記不純物導入処理は、前記開口部を介して第 2 の導電型の不純物イオンを注入するイオン注入処理を含む、半導体装置の製造方法。

【請求項 9】 請求項 1 記載の半導体装置の製造方法であって、

前記半導体基板は第 1 及び第 2 の形成領域を有し、

前記仮ゲート電極部は仮ゲート絶縁膜及び前記仮ゲート電極からなる積層構造で形成され、

前記ステップ (a) は、

(a-1) 前記第 1 の形成領域上に前記仮ゲート電極部を形成するとともに、前記第 2 の形成領域上に第 2 の実ゲート絶縁膜及び第 2 の実ゲート電極からなる積層構造の第 2 の実ゲート電極部を形成するステップと、

(a-2) 前記仮ゲート電極部をマスクとして第 1 の導電型の第 1 のソース・ドレイン用不純物を導入することにより、前記第 1 及び第 2 のソース・ドレイン主要領域を形成するステップとを含み、

前記ステップ (b) は、前記第 2 の実ゲート電極の側面に第 3 及び第 4 のエクステンション用サイドウォールをさらに形成するステップを含み、前記第 3 及び第 4 のエクステンション用サイドウォールは第 2 の導電型の第 2 のエクステンション用不純物を含有し、

(h) 前記ステップ (b) の後に実行され、前記第 2 の実ゲート電極並びに第 3 及び第 4 のエクステンション用サイドウォールをマスクとして第 2 の導電型の第 2 のソース

3

・ドレイン用不純物を導入することにより、前記第2のゲート電極並びに前記第3及び第4のエクステンション用サイドウォール下方の領域を挟んだ前記第2の形成領域の表面内に、第2の導電型の第3及び第4のソース・ドレイン主要領域を形成するステップをさらに備え、前記ステップ(f)は、前記第3及び第4のエクステンション用サイドウォール内の前記第2のエクステンション用不純物を拡散源とした第3の拡散処理により、前記第3及び第4のソース・ドレイン主要領域それぞれに隣接して、第2の導電型の第3及び第4のエクステンション領域をさらに形成するステップを含み、前記第2の実ゲート絶縁膜、第2の実ゲート電極、前記第3及び第4のソース・ドレイン主要領域及び前記第3及び第4のエクステンション領域によって第2の導電型の絶縁ゲート構造の第2のトランジスタが規定される、半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法であって、

前記第1及び第2の補助用サイドウォールは前記第2のエクステンション用不純物を含有するサイドウォールを含み、

前記ステップ(b)は、前記第1及び第2の補助用サイドウォールと前記第3及び第4のエクステンション用サイドウォールとは同時に形成するステップを含む、半導体装置の製造方法。

【請求項11】 請求項9あるいは請求項10記載の半導体装置の製造方法であって、

前記第1の実ゲート電極のゲート電極材料は第1の導電型のゲート電極材料を含み、

前記第2の実ゲート電極のゲート電極材料は第2の導電型のゲート電極材料を含む、半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法であって、

前記仮ゲート電極のゲート電極材料は第2の導電型のゲート電極材料を含み、

前記ステップ(a-1)は、前記仮ゲート電極と前記第2のゲート電極とを同時に形成するステップを含む、半導体装置の製造方法。

【請求項13】 第1の導電型の絶縁ゲート構造のトランジスタを含む半導体装置であって、

表面に第2の導電型の所定の半導体領域を有する半導体基板と、

前記所定の半導体領域上に選択的に形成されるゲート絶縁膜とを備え、前記ゲート絶縁膜下の前記所定の半導体領域の表面がチャンネル領域として規定され、

前記ゲート絶縁膜上に形成されるゲート電極と、

前記ゲート電極の側面に形成され、第1の導電型のエクステンション用不純物を含有する第1及び第2のサイドウォールと、

前記第1及び第2のエクステンション用サイドウォール

4

にそれぞれ隣接して形成される第1及び第2の補助用サイドウォールと、

前記所定の半導体領域の表面内に前記チャンネル領域を挟んで形成される第1及び第2のソース・ドレイン領域とをさらに備え、

前記ゲート絶縁膜、ゲート電極、前記第1及び第2のソース・ドレイン領域によって前記トランジスタが規定され、

前記ソース・ドレイン領域は、前記第1及び第2のエクステンション用サイドウォール下に、他の領域より浅く形成される第1及び第2のエクステンション領域を含む、半導体装置。

【請求項14】 請求項13記載の半導体装置であって、

前記第1及び第2のエクステンション用サイドウォールは第2の導電型のポケット用不純物をさらに含有し、前記ソース・ドレイン領域は、前記第1及び第2のエクステンション用サイドウォール下に形成される第2の導電型の第1及び第2のポケット領域をさらに含む、半導体装置。

【請求項15】 請求項13記載の半導体装置であって、

前記ゲート電極を形成するゲート電極材料は第1の導電型のゲート電極材料を含む、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法に関し、特にDRAMや論理回路に用いられるMOSトランジスタの製造方法に関する。

【0002】

【従来の技術】図47～図54は従来のCMOSトランジスタ(CMOSFET)の製造方法を示す断面図である。以下、これらの図を参照して、CMOSトランジスタの製造方法を説明する。

【0003】まず、図47に示すように、シリコン基板60の上層部に素子分離領域61を選択的に形成し、各々が素子分離領域61によって素子分離されたNMOS領域81及びPMOS領域82にPウェル領域83及びNウェル領域84(双方ともチャンネル領域を含む)をそれぞれイオン注入等によって形成した後、シリコン基板60上の全面にシリコン酸化膜62、多結晶シリコン層63を順次堆積する。

【0004】次に、図48に示すように、多結晶シリコン層63上にレジスト64を形成した後、写真製版によりレジスト64をパターニングする。

【0005】そして、図49に示すように、パターニングされたレジスト64をマスクとして、多結晶シリコン層63及びシリコン酸化膜62をエッチングしてゲート電極(配線)65及びゲート酸化膜79を得る。

【0006】その後、図50に示すように、全面にレジ

5

スト66を形成し、PMOS領域82のみ残存するようにレジスト66をパターニングした後、パターニングしたレジスト66及びNMOS領域81のゲート電極65をマスクとしてN型不純物イオン67をシリコン基板60の表面から比較的浅く注入して、N型拡散領域68(68a, 68b)を得る。

【0007】続いて、図51に示すように、全面にシリコン酸化膜を堆積後、エッチバックすることにより、ゲート電極65の側面にシリコン酸化膜からなるサイドウォール69(69a, 69b)を形成する。

【0008】その後、図52に示すように、全面にレジスト70を形成し、NMOS領域81のみ残存するようにレジスト70をパターニングした後、パターニングしたレジスト70並びにPMOS領域82のゲート電極65及びサイドウォール69をマスクとしてP型不純物イオン71をシリコン基板60の表面から比較的深く注入して、P型拡散領域72(72a, 72b)を得る。このP型拡散領域72はN型拡散領域68よりシリコン基板60の表面から深く形成される。

【0009】そして、図53に示すように、全面にレジスト73を形成し、PMOS領域82のみ残存するようにレジスト73をパターニングした後、パターニングしたレジスト73並びにNMOS領域81のゲート電極65及びサイドウォール69をマスクとしてN型不純物イオン74をシリコン基板60の表面から比較的深く注入して、先に形成されたN型拡散領域68と併せて、ソース・ドレイン主要領域となるN型拡散領域75(74a, 75b)を形成する。

【0010】このN型拡散領域75がNMOSトランジスタのソース・ドレイン領域となり、サイドウォール69下のN型拡散領域75がシリコン基板60の表面から浅く形成されるエクステンション領域75ae, 75beとなる。

【0011】そして、図54に示すように、全面にシリコン酸化膜からなる層間絶縁膜76を堆積する。このときの熱処理によりN型拡散領域75及びP型拡散領域72はさらに拡散して、N型拡散領域77(77a, 77b)及びP型拡散領域78(78a, 78b)となる。したがって、N型拡散領域77のエクステンション領域77ae, 77beの形成深さは、エクステンション領域75ae, 75beよりも深くなる。また、エクステンション領域77ae, 77beの形成深さは、N型拡散領域68の形成から層間絶縁膜76の形成までに至る期間に行われる熱処理によって、N型拡散領域68の形成深さよりも深くなる。

【0012】その後、配線等の既存のプロセスを経てCMOSトランジスタからなる半導体デバイスが完成する。

【0013】

【発明が解決しようとする課題】MOSFETの高駆動

6

能力化、動作速度や短チャネル特性の改善にはゲート寸法(ゲート長)の微細化、ソース・ドレインの低抵抗化や浅いPN接合形成が重要である。

【0014】このうち、浅いPN接合、すなわちエクステンション領域を浅く形成するためには、エクステンション領域形成後に行われる不純物拡散に寄与する熱処理量を軽減すれば良い。しかしながら、図47～図54で示したような従来のCMOSトランジスタの製造方法では、エクステンション領域となるN型拡散領域68の形成後に行う、サイドウォール69の形成、ソース・ドレイン主要領域であるN型拡散領域75を活性化するためのアニール等の熱処理の影響によって、エクステンション領域がさらに深く拡散されてしまうため、浅いPN接合を形成することが困難であるという問題点があった。

【0015】この発明は上記問題点を解決するためになされたもので、絶縁ゲート構造のトランジスタのエクステンション領域を浅く形成可能な半導体装置の製造方法を得ることを目的とする。

【0016】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置の製造方法は、(a)半導体基板の表面内に第1の導電型の第1及び第2のソース・ドレイン主要領域を、前記第1及び第2のソース・ドレイン主要領域間の前記半導体基板上に仮ゲート電極部をそれぞれ形成するステップと、(b)前記仮ゲート電極部の側面に第1及び第2の補助用サイドウォールを形成するステップと、(c)前記仮ゲート電極部を除去して、前記第1及び第2の補助用サイドウォールを側面とした開口部を得るステップと、(d)前記開口部内に、前記第1及び第2の補助用サイドウォールそれぞれに隣接して、第1の導電型の第1のエクステンション用不純物を含有する第1及び第2のエクステンション用サイドウォールを形成するステップと、(e)前記ステップ(d)実行後の前記開口部内に第1の実ゲート絶縁膜、第1の実ゲート電極を順次形成して第1の実ゲート電極部を得るステップと、(f)前記第1及び第2のエクステンション用サイドウォール内の前記第1のエクステンション用不純物を拡散源とした第1の拡散処理により、前記第1及び第2のソース・ドレイン主要領域それぞれに隣接して、第1の導電型の第1及び第2のエクステンション領域を形成するステップとを備え、前記第1の実ゲート絶縁膜、第1の実ゲート電極、前記第1及び第2のソース・ドレイン主要領域及び前記第1及び第2のエクステンション領域によって第1の導電型の絶縁ゲート構造の第1のトランジスタが規定される。

【0017】また、請求項2の発明は、請求項1記載の半導体装置の製造方法であって、前記ステップ(f)は、前記第1のトランジスタを含む前記半導体基板上の全面に層間絶縁膜を形成するステップを含み、前記第1の拡散処理は、前記層間絶縁膜の形成時の熱処理を利用して

行う拡散処理を含む。

【0018】また、請求項3の発明は、請求項1記載の半導体装置の製造方法であって、前記第1及び第2のエクステンション用サイドウォールは第2の導電型のポケット用不純物をさらに含有するサイドウォールを含み、前記ステップ(f)は、前記ポケット用不純物を拡散源とした第2の拡散処理により、前記第1及び第2のソース・ドレイン主要領域に隣接して第1及び第2のポケット領域をさらに形成するステップを含む。

【0019】また、請求項4の発明は、請求項3記載の半導体装置の製造方法であって、前記ポケット用不純物は前記第1のエクステンション用不純物より拡散係数が大きい。

【0020】また、請求項5の発明は、請求項3あるいは請求項4記載の半導体装置の製造方法であって、前記ステップ(f)は、前記第1のトランジスタを含む前記半導体基板上の全面に層間絶縁膜を形成するステップとを含み、前記第1及び第2の拡散処理は、前記層間絶縁膜の形成時の熱処理を利用して同時に行う拡散処理を含む。

【0021】また、請求項6の発明は、請求項1記載の半導体装置の製造方法であって、前記第1の実ゲート電極を形成するゲート電極材料は第1の導電型のゲート電極材料を含む。

【0022】また、請求項7の発明は、請求項1ないし請求項6のうち、いずれか1項に記載の半導体装置の製造方法であって、(g)前記実ゲート電極部が形成されるべき領域下方の前記半導体基板の表面内の領域を少なくとも含む所定の半導体領域に第2の導電型の不純物を導入する不純物導入処理を実行するステップをさらに備える。

【0023】また、請求項8の発明は、請求項7記載の半導体装置の製造方法であって、前記ステップ(g)は、前記ステップ(c)の後に実行されるステップを含み、前記不純物導入処理は、前記開口部を介して第2の導電型の不純物イオンを注入するイオン注入処理を含む。

【0024】また、請求項9の発明は、請求項1記載の半導体装置の製造方法であって、前記半導体基板は第1及び第2の形成領域を有し、前記仮ゲート電極部は仮ゲート絶縁膜及び前記仮ゲート電極からなる積層構造で形成され、前記ステップ(a)は、(a-1)前記第1の形成領域上に前記仮ゲート電極部を形成するとともに、前記第2の形成領域上に第2の実ゲート絶縁膜及び第2の実ゲート電極からなる積層構造の第2の実ゲート電極部を形成するステップと、(a-2)前記仮ゲート電極部をマスクとして第1の導電型の第1のソース・ドレイン用不純物を導入することにより、前記第1及び第2のソース・ドレイン主要領域を形成するステップとを含み、前記ステップ(b)は、前記第2の実ゲート電極の側面に第3及び第4のエクステンション用サイドウォールをさらに形成するステップを含み、前記第3及び第4のエクステン

ション用サイドウォールは第2の導電型の第2のエクステンション用不純物を含有し、(h)前記ステップ(b)の後に実行され、前記第2の実ゲート電極並びに第3及び第4のエクステンション用サイドウォールをマスクとして第2の導電型の第2のソース・ドレイン用不純物を導入することにより、前記第2のゲート電極並びに前記第3及び第4のエクステンション用サイドウォール下方の領域を挟んだ前記第2の形成領域の表面内に、第2の導電型の第3及び第4のソース・ドレイン主要領域を形成するステップをさらに備え、前記ステップ(f)は、前記第3及び第4のエクステンション用サイドウォール内の前記第2のエクステンション用不純物を拡散源とした第3の拡散処理により、前記第3及び第4のソース・ドレイン主要領域それぞれに隣接して、第2の導電型の第3及び第4のエクステンション領域をさらに形成するステップを含み、前記第2の実ゲート絶縁膜、第2の実ゲート電極、前記第3及び第4のソース・ドレイン主要領域及び前記第3及び第4のエクステンション領域によって第2の導電型の絶縁ゲート構造の第2のトランジスタが規定される。

【0025】また、請求項10の発明は、請求項9記載の半導体装置の製造方法であって、前記第1及び第2の補助用サイドウォールは前記第2のエクステンション用不純物を含有するサイドウォールを含み、前記ステップ(b)は、前記第1及び第2の補助用サイドウォールと前記第3及び第4のエクステンション用サイドウォールとは同時に形成するステップを含む。

【0026】また、請求項11の発明は、請求項9あるいは請求項10記載の半導体装置の製造方法であって、前記第1の実ゲート電極のゲート電極材料は第1の導電型のゲート電極材料を含み、前記第2の実ゲート電極のゲート電極材料は第2の導電型のゲート電極材料を含む。

【0027】また、請求項12の発明は、請求項11記載の半導体装置の製造方法であって、前記仮ゲート電極のゲート電極材料は第2の導電型のゲート電極材料を含み、前記ステップ(a-1)は、前記仮ゲート電極と前記第2のゲート電極とを同時に形成するステップを含む。

【0028】この発明に係る請求項13記載の半導体装置は、第1の導電型の絶縁ゲート構造のトランジスタを含んでおり、表面に第2の導電型の所定の半導体領域を有する半導体基板と、前記所定の半導体領域上に選択的に形成されるゲート絶縁膜とを備え、前記ゲート絶縁膜下の前記所定の半導体領域の表面がチャネル領域として規定され、前記ゲート絶縁膜上に形成されるゲート電極と、前記ゲート電極の側面に形成され、第1の導電型のエクステンション用不純物を含有する第1及び第2のサイドウォールと、前記第1及び第2のエクステンション用サイドウォールにそれぞれ隣接して形成される第1及び第2の補助用サイドウォールと、前記所定の半導体領

9

域の表面内に前記チャネル領域を挟んで形成される第1及び第2のソース・ドレイン領域とをさらに備え、前記ゲート絶縁膜、ゲート電極、前記第1及び第2のソース・ドレイン領域によって前記トランジスタが規定され、前記ソース・ドレイン領域は、前記第1及び第2のエクステンション用サイドウォール下に、他の領域より浅く形成される第1及び第2のエクステンション領域を含む。

【0029】また、請求項14の発明は、請求項13記載の半導体装置であって、前記第1及び第2のエクステンション用サイドウォールは第2の導電型のポケット用不純物をさらに含有し、前記ソース・ドレイン領域は、前記第1及び第2のエクステンション用サイドウォール下に形成される第2の導電型の第1及び第2のポケット領域をさらに含む。

【0030】さらに、請求項15の発明は、請求項13記載の半導体装置であって、前記ゲート電極を形成するゲート電極材料は第1の導電型のゲート電極材料を含む。

【0031】

【発明の実施の形態】＜実施の形態1＞図1～図8はこの発明の実施の形態1であるCMOS構造のMOSトランジスタの製造方法を示す断面図である。以下、これらの図を参照して、実施の形態1の製造方法を説明する。

【0032】まず、図1に示すように、シリコン基板1の上層部に素子分離領域2を選択的に形成し、各々が素子分離領域2によって素子分離されたNMOS領域41及びPMOS領域42にPウェル領域43及びNウェル領域44（双方ともチャネル領域を含む）をそれぞれイオン注入等によって形成した後、シリコン基板1上の全面にシリコン酸化膜3、多結晶シリコン層4を順次堆積する。

【0033】次に、図2に示すように、多結晶シリコン層4上にレジスト5を形成した後、写真製版によりレジスト5をパターニングする。

【0034】そして、図3に示すように、パターニングされたレジスト5をマスクとして、多結晶シリコン層4及びシリコン酸化膜3をエッチングして、NMOS領域41にダミーゲート電極（配線）6A及びダミーゲート酸化膜3Aからなるダミーゲート電極部（仮ゲート電極部）を得ると同時に、PMOS領域42に実ゲート電極（配線）6B及び実ゲート酸化膜3Bからなる実ゲート電極部を得る。

【0035】その後、図4に示すように、全面にレジスト7を形成し、PMOS領域42のみ残存するようにレジスト7をパターニングした後、パターニングしたレジスト7及びNMOS領域41のダミーゲート電極6AをマスクとしてN型不純物イオン8をシリコン基板1の表面から比較的深く注入して拡散処理を行うことにより、NMOSTランジスタのソース・ドレイン主要領域であ

10

るN型拡散領域9a、9bを形成する。

【0036】続いて、図5に示すように、全面にBSG（Boron-Silicate Glass）等のボロンを1～20％程度含むサイドウォール形成材料を数10～100nmの膜厚で堆積し、エッチバックすることにより、NMOS領域41及びPMOS領域42において、ダミーゲート電極部（6A、3A）及び実ゲート電極部（6B、3B）それぞれの側面にボロン含有サイドウォール10a、10bを同時に形成する。このとき、ボロン含有サイドウォール10a、10bそれぞれのサイドウォール幅としては、サイドウォール材料の堆積膜厚の10～20％減に収まるようにする。

【0037】その後、図6に示すように、全面にレジスト11を形成し、NMOS領域41のみ残存するようにレジスト11をパターニングした後、パターニングしたレジスト11及びPMOS領域42の実ゲート電極6B及びボロン含有サイドウォール10a、10bをマスクとしてP型不純物イオン12をシリコン基板1の表面から比較的深く注入して拡散処理を行うことにより、PMOSTランジスタのソース・ドレイン主要領域であるP型拡散領域13a、13bを得る。このP型拡散領域13a、13bはN型拡散領域9a、9bと同等の形成深さで形成される。

【0038】そして、図7に示すように、全面にシリコン窒化膜14を堆積し、CMP（Chemical Mechanical Polishing）等の研磨処理を施してシリコン窒化膜14を平坦化して、ダミーゲート電極6Aの表面を露出させ、シリコン窒化膜14及びPMOS領域42の実ゲート電極6B上に形成された保護膜（図示せず）をマスクとしてNMOS領域41のダミーゲート電極6A及びダミーゲート酸化膜3Aを除去して、開口部47を設ける。

【0039】さらに、開口部47の側面に、PSG（Phospho-Silicate Glass）等のリンを1～20％程度含むサイドウォール材料を数10～100nmの膜厚で堆積し、エッチバックを施すことにより、ボロン含有サイドウォール10a、10bそれぞれに隣接してリン含有サイドウォール15a、15bを形成する。

【0040】この際、例えば、ダミーゲート電極6Aのダミーゲート長が0.25μmの場合に実ゲート長0.1μmのNMOSTランジスタを作製しようとするれば、 $0.75\mu\text{m} (= (0.25 - 0.1) / 2)$ のサイドウォール幅のリン含有サイドウォール15a、15bを形成すればよい。

【0041】その後、図8に示すように、開口部47内のPウェル領域43上にシリコン酸化膜からなる実ゲート酸化膜16を形成し、実ゲート酸化膜16上にポリシリコンからなる実ゲート電極（配線）17を形成することにより、開口部47内を実ゲート酸化膜16及び実ゲート電極17によって埋める。

11

【0042】そして、図9に示すように、シリコン窒化膜14上にシリコン窒化膜等からなる層間絶縁膜48を形成する。この層間絶縁膜48の形成の際に行う熱処理によって、NMOS領域41ではリン含有サイドウォール15a、15bに含まれるリンを拡散源とした拡散によってN型エクステンション領域18a、18bが形成され、PMOS領域42ではボロン含有サイドウォール10a、10bに含まれるボロンを拡散源とした拡散によってP型エクステンション領域19a、19bが形成される。なお、NMOS領域41におけるボロン含有サイドウォール10a、10b内のボロンを拡散源とした拡散は、N型拡散領域9a、9b中に起こるため無視できる。

【0043】このように、NMOS領域41において、エクステンション用のリン含有サイドウォール15a、15bは、先に形成された補助用のボロン含有サイドウォール10a、10bに隣接して形成しているため、ソース・ドレイン主要領域であるN型拡散領域9a、9bに隣接して位置精度良くN型エクステンション領域18a、18bを形成することができる。

【0044】その後、配線等の既存のプロセスを経てNMOSTランジスタとPMOSTランジスタとからなるCMOS構造の半導体デバイスが完成する。なお、NMOS領域41に作製されるNMOSTランジスタは、N型拡散領域9(9a、9b)N型エクステンション領域18(18a、18b)、実ゲート酸化膜16、及び実ゲート電極17とによって規定され、PMOS領域42に作製されるPMOSTランジスタは、P型拡散領域13(13a、13b)、P型エクステンション領域19(19a、19b)、実ゲート酸化膜3B、及び実ゲート電極6Bによって規定される。そして、N型拡散領域9及びN型エクステンション領域18がNMOSTランジスタのソース・ドレイン領域となり、P型拡散領域13及びP型エクステンション領域19がPMOSTランジスタのソース・ドレイン領域となる。

【0045】N型エクステンション領域18及びP型エクステンション領域19は層間絶縁膜48の形成時の熱処理を利用して形成するため、これらのエクステンション領域形成用の工程を別途追加する必要となく、N型エクステンション領域18とP型エクステンション領域19とを同時に形成することができる。

【0046】なお、図8で示す実ゲート電極17の形成後に、RTA(Rapid Thermal Annealing)等を用いて、900~1050℃、30秒以下の高温、短時間処理を行って、エクステンション領域18、19とソース・ドレイン主要領域9、13の活性化とを同時に行っても良い。

【0047】また、本実施の形態では、ゲート絶縁膜としてシリコン酸化膜を用いたが、ゲート絶縁膜材料としてシリコン窒化膜、窒化酸化膜あるいは Ta_2O_5 等の高

12

誘電率材料を用いても良い。

【0048】さらに、ゲート電極(配線)材料として、ポリシリコン以外にタングステン等の金属材料あるいはアモルファスシリコンを用いても良い。アモルファスシリコンを用いればパターニング時の寸法バラツキをポリシリコンより抑えることができる。層間絶縁膜としてシリコン窒化膜を用いたが、シリコン酸化膜を用いてもよい。

【0049】加えて、図10に示すように、予めチャネル領域の不純物注入を行うのではなく、ダミーゲート電極6Aを除去して得られる開口部47から、シリコン基板1の形成面の法線に対し0度の角度でP型不純物イオン51を注入して、N型拡散領域9a、9b間にチャネル領域を形成するようにしても良い。このように、ソース・ドレイン主要領域形成後にチャネル領域を形成することにより、ソース・ドレイン主要領域形成時における熱処理による不純物の再分布の影響を抑制し、MOSTランジスタのチャネル領域における寄生抵抗の増加を抑制できる。

【0050】チャネル領域は開口部47を介したイオン注入によって形成されるため位置精度良く形成することができ、0度でイオン注入することにより位置ズレなくチャネル領域を形成することができる。

【0051】さらに、開口部47から、ボロン含有サイドウォール10a、10b側にそれぞれ5~15度の角度でP型不純物イオンを斜め注入して、ボロン含有サイドウォール10a、10bの下方にP型のポケット領域を形成することもできる。

【0052】このように、実施の形態1のMOSTランジスタの製造方法は、ソース・ドレイン主要領域を形成後に、不純物が含まれる不純物含有サイドウォールを拡散源として、層間絶縁膜形成時等のサイドウォール形成後の熱処理時にエクステンション領域を形成している。

【0053】したがって、ソース・ドレイン主要領域の形成時の熱処理は、エクステンション領域には全く関与しなくなり、ソース・ドレイン主要領域の形成時の熱処理の影響が省略される分、形成深さ(接合深さ)の浅いエクステンション領域を形成することができる。

【0054】すなわち、エクステンション領域形成後の不純物拡散に寄与する熱処理の影響を最小限に軽減することによって、浅いPN接合を有するMOSTランジスタを得ることができる。

【0055】＜実施の形態2＞図11~図18はこの発明の実施の形態2であるCMOS構造のMOSTランジスタの製造方法を示す断面図である。以下、これらの図を参照して、実施の形態2の製造方法を説明する。

【0056】まず、図11に示すように、シリコン基板1の上層部に素子分離領域2を選択的に形成し、NMOS領域41及びPMOS領域42にPウェル領域43及びNウェル領域44(双方ともチャネル領域を含む)を

13

それぞれイオン注入等によって形成した後、シリコン基板1上の全面にシリコン酸化膜3、多結晶シリコン層4を順次堆積する。

【0057】次に、図12に示すように、多結晶シリコン層4上にレジスト5を形成した後、写真製版によりレジスト5をパターニングする。

【0058】そして、図13に示すように、パターニングされたレジスト5をマスクとして、多結晶シリコン層4及びシリコン酸化膜3をエッチングして、PMOS領域42にダミーゲート電極（配線）6C及びダミーゲート酸化膜3Cからなるダミーゲート電極部を得ると同時に、NMOS領域41に実ゲート配線6D及び実ゲート酸化膜3Dからなる実ゲート電極部を得る。

【0059】その後、図14に示すように、全面にレジスト20を形成し、NMOS領域41のみ残存するようにレジスト20をパターニングした後、パターニングしたレジスト20及びPMOS領域42のダミーゲート電極6CをマスクとしてP型不純物イオン21をシリコン基板1の表面から比較的深く注入して拡散処理を施すことにより、P型拡散領域22を得る。

【0060】続いて、図15に示すように、全面にPSG等のリンを1～20%程度含むサイドウォール形成材料を数10～100nmの膜厚で堆積し、エッチバックすることにより、ダミーゲート電極部（6C、3C）及び実ゲート電極部（6D、3D）それぞれの側面にリン含有サイドウォール23a、23bを形成する。

【0061】その後、図16に示すように、全面にレジスト24を形成し、PMOS領域42のみ残存するようにレジスト24をパターニングした後、パターニングしたレジスト24及びNMOS領域41の実ゲート配線6D及びリン含有サイドウォール23a、23bをマスクとしてN型不純物イオン25をシリコン基板1の表面から比較的深く注入して拡散処理を施すことにより、N型拡散領域26を得る。このN型拡散領域26はP型拡散領域22と同等の形成深さで形成される。

【0062】そして、図17に示すように、全面にシリコン窒化膜27を堆積し、CMP等の研磨処理を施してシリコン窒化膜27を平坦化して、ダミーゲート電極6Cの表面を露出させ、シリコン窒化膜27及びNMOS領域41の実ゲート配線6D上に形成された保護膜（図示せず）をマスクとしてPMOS領域42のダミーゲート電極6C及びダミーゲート酸化膜3Cを除去して、開口部49を設ける。

【0063】さらに、開口部49の側面に、BSG等のボロンを1～20%程度含むサイドウォール形成材料を数10～100nmの膜厚で堆積し、エッチバックによりリン含有サイドウォール23a、23bそれぞれに隣接するボロン含有サイドウォール28a、28bを形成する。

【0064】この際、例えば、ダミーゲート電極6Cの

14

ダミーゲート長が0.25μmの場合に実ゲート長0.1μmのPMOSTランジスタを作製しようとすれば、0.75μmのサイドウォール幅のボロン含有サイドウォール28a、28bを形成すればよい。

【0065】その後、図18に示すように、開口部49内のNウェル領域44上にシリコン酸化膜からなるゲート酸化膜29を形成し、ゲート酸化膜29上にポリシリコンからなる実ゲート電極（配線）30を形成することにより、開口部49内をゲート酸化膜29及び実ゲート電極30によって埋める。

【0066】そして、図19に示すように、シリコン窒化膜27上にシリコン窒化膜等の層間絶縁膜50を形成する。この層間絶縁膜50の形成の際の熱処理によって、PMOS領域42ではボロン含有サイドウォール28a、28b内のボロンを拡散源とした拡散によってP型エクステンション領域31a、31bが形成され、NMOS領域41ではリン含有サイドウォール23a、23b内のリンを拡散源とした拡散によってN型エクステンション領域32a、32bが形成される。なお、PMOS領域42におけるリン含有サイドウォール23a、23bからの拡散は、P型拡散領域22中に起こるため無視できる。

【0067】その後、配線等の既存のプロセスを経てNMOSTランジスタとPMOSTランジスタとからなるCMOS構造の半導体デバイスが完成する。なお、NMOS領域41に作製されるNMOSTランジスタは、N型拡散領域26（26a、26b）、N型エクステンション領域32（32a、32b）、実ゲート酸化膜3D、実ゲート電極6Dによって規定され、PMOS領域42に作製されるPMOSTランジスタは、P型拡散領域22（22a、22b）、P型エクステンション領域31（31a、31b）、実ゲート酸化膜29、及び実ゲート電極30によって規定される。そして、N型拡散領域26及びN型エクステンション領域32がNMOSTランジスタのソース・ドレイン領域となり、P型拡散領域22及びP型エクステンション領域31がPMOSTランジスタのソース・ドレイン領域となる。

【0068】なお、図18で示す実ゲート電極30の形成後に、実施の形態1と同様にRTA等の高温、短時間処理を行って、エクステンション領域31、32とソース・ドレイン主要領域22、26の活性化とを同時に行っても良い。

【0069】また、実施の形態2では、ゲート絶縁膜としてシリコン酸化膜を用いたが、実施の形態1と同様、ゲート絶縁膜材料としてシリコン窒化膜、窒化酸化膜あるいはTa₂O₅等の高誘電率材料を用いても良い。

【0070】さらに、実施の形態1と同様、ゲート配線（電極）材料として、ポリシリコン以外にタングステン等の金属材料を用いても良い。層間絶縁膜としてシリコン窒化膜を用いたが、シリコン酸化膜を用いてもよい。

15

【0071】加えて、実施の形態1と同様、予めチャネル領域の不純物注入を行うのではなく、ダミーゲート電極6Cを除去して得られる開口部49から0度でP型不純物イオンを注入してチャネル領域を形成するようにしても良い。このようにチャネル領域を形成することにより、MOSトランジスタのチャネル領域における寄生抵抗の増加を抑制でき、熱処理による不純物の再分布の影響を抑制できる。

【0072】このように、実施の形態2のMOSトランジスタの製造方法は、実施の形態1と同様、ソース・ドレイン主要領域形成後に、層間絶縁膜形成時等のサイドウォール形成後の熱処理を利用して、不純物含有サイドウォール内の不純物を拡散源とした拡散処理を行うことによりエクステンション領域を形成するため、エクステンション領域形成後の不純物拡散に寄与する熱処理の影響を最小限に軽減することによって、浅いPN接合を有するMOSトランジスタを得ることができる。

【0073】＜実施の形態3＞図20～図27はこの発明の実施の形態3であるCMOS構造のMOSトランジスタの製造方法を示す断面図である。

【0074】図20～図25で示す工程は、図1～図6で示す実施の形態1の工程と同様であるため説明は省略し、以下、図26～図28を参照して、実施の形態3の製造方法を説明する。

【0075】図26に示すように、実施の形態1の図7で示す工程同様、開口部47を設けた後、開口部47の側面に、ボロン及びヒソをそれぞれ1～20%程度含むサイドウォール材料を堆積し、エッチバックによりボロン含有サイドウォール10a、10bに隣接してボロン・ヒソ含有サイドウォール33a、33bを形成する。

【0076】その後、図27に示すように、開口部47内に実ゲート酸化膜16、実ゲート電極17を順次形成することにより、開口部47内を実ゲート酸化膜16及び実ゲート電極17によって埋める。

【0077】そして、図28に示すように、シリコン窒化膜14上にシリコン窒化膜等の層間絶縁膜48を形成する。この層間絶縁膜48の形成の際の熱処理によって、NMOS領域41ではボロン・ヒソ含有サイドウォール33a、33b内のヒソ及びボロンを拡散源とした拡散によってN型エクステンション領域34a、34b及びP型ポケット領域35a、35bがそれぞれ形成され、PMOS領域42ではボロン含有サイドウォール10a、10b内のボロンを拡散源とした拡散によってP型エクステンション領域19a、19bが形成される。

【0078】ボロンとヒソとの拡散係数の違い（ボロンの方が大きい）があるため、ヒソの拡散によって得られるN型エクステンション領域34（34a、34b）はシリコン基板1の表面から比較的浅い領域に形成され、ボロンの拡散によって得られるP型ポケット領域35

（35a、35b）はN型エクステンション領域34よ

16

り深い領域に形成される。したがって、N型エクステンション領域34とP型ポケット領域35とが確実に分離形成される。なお、P型ポケット領域35はN型の不純物がP型の不純物によって補償されている領域である。

【0079】その後、配線等の既存のプロセスを経てNMOSトランジスタとPMOSトランジスタとからなるCMOS構造の半導体デバイスが完成する。なお、NMOS領域41に作製されるNMOSトランジスタは、N型拡散領域9、N型エクステンション領域34、P型ポケット領域35、実ゲート酸化膜16、実ゲート電極17によって規定され、PMOS領域42に作製されるPMOSトランジスタは、P型拡散領域13、P型エクステンション領域19a、19b、実ゲート酸化膜3B、及び実ゲート電極6Bによって規定される。そして、N型拡散領域9及びN型エクステンション領域34がNMOSトランジスタのソース・ドレイン領域となり、P型拡散領域13及びP型エクステンション領域19がPMOSトランジスタのソース・ドレイン領域となる。

【0080】N型エクステンション領域34、P型ポケット領域35及びP型エクステンション領域19は、層間絶縁膜48の形成時の熱処理を利用して形成するため、これらのエクステンション領域及びポケット領域形成用の工程を別途追加する必要はなく、N型エクステンション領域34、P型ポケット領域35及びP型エクステンション領域19とを同時に形成することができる。

【0081】このように、実施の形態3のMOSトランジスタの製造方法は、実施の形態1、実施の形態2と同様、ソース・ドレイン主要領域形成後に、層間絶縁膜形成時等のサイドウォール形成後の熱処理を利用して、不純物含有サイドウォール内の不純物を拡散源とした拡散処理を行うことによりエクステンション領域を形成するため、エクステンション領域形成後の不純物拡散に寄与する熱処理の影響を最小限に軽減することによって、浅いPN接合を有するMOSトランジスタを得ることができる。

【0082】さらに、実施の形態3のMOSトランジスタの製造方法は、導電型式及び拡散係数が異なる2種類の不純物が含まれる不純物含有サイドウォールを拡散源とすることにより、NMOSトランジスタのエクステンション領域形成時に同時にポケット領域を形成することができる効果を奏する。

【0083】＜実施の形態4＞図29～図36はこの発明の実施の形態4であるCMOS構造のMOSトランジスタの製造方法を示す断面図である。以下、これらの図を参照して、実施の形態4の製造方法を説明する。

【0084】まず、図29に示すように、シリコン基板1の上層部に素子分離領域2を選択的に形成し、NMOS領域41及びPMOS領域42にPウェル領域43及びNウェル領域44をそれぞれイオン注入等によって形成した後、シリコン基板1上の全面にシリコン酸化膜

17

3、P型ポリシリコン層36を順次堆積する。

【0085】次に、図30に示すように、P型ポリシリコン層36上にレジスト5を形成した後、写真製版によりレジスト5をパターニングする。

【0086】そして、図31に示すように、パターニングされたレジスト5をマスクとして、P型ポリシリコン層36及びシリコン酸化膜3をエッチングして、NMO
S領域41にダミーゲート電極（配線）40A及びダミ
ーゲート酸化膜3Aからなるダミーゲート部を得ると同
時に、PMOS領域42に実ゲート電極（配線）40B
及び実ゲート酸化膜3Bからなる実ゲート電極部を得
る。

【0087】その後、図32～図35で示す工程は、図
4～図7で示す実施の形態1の工程と同様に行われ、図
35で示す構造が得られる。

【0088】そして、図36に示すように、開口部47
内に実ゲート酸化膜16、N型のポリシリコンからなる
実ゲート電極37を順次形成することにより、開口部4
7内を実ゲート酸化膜16及び実ゲート電極37によっ
て埋める。

【0089】そして、図37に示すように、シリコン窒
化膜14上にシリコン窒化膜等の層間絶縁膜48を形成
する。この層間絶縁膜48の形成の際の熱処理によっ
て、NMOS領域41ではリン含有サイドウォール15
a、15b内のリンを拡散源とした拡散によってN型エク
ステンション領域18a、18bが形成され、PMO
S領域42ではボロン含有サイドウォール10a、10
b内のボロンを拡散源とした拡散によってP型エクステ
ンション領域19a、19bが形成される。

【0090】その後、配線等の既存のプロセスを経てN
MOSトランジスタとPMOSトランジスタとからなる
CMOS構造の半導体デバイスが完成する。なお、NM
OS領域41に作製されるNMOSトランジスタは、N
型拡散領域9、N型エクステンション領域18、実ゲ
ート酸化膜16、実ゲート電極37によって規定され、P
MOS領域42に作製されるPMOSトランジスタは、
P型拡散領域13、P型エクステンション領域19、実
ゲート酸化膜3B、及び実ゲート電極40Bによって規
定される。

【0091】このように、実施の形態4のMOSトラン
ジスタの製造方法は、実施の形態1～実施の形態3と同
様、ソース・ドレイン主要領域形成後に、層間絶縁膜形
成時等のサイドウォール形成後の熱処理を利用して、不
純物含有サイドウォール内の不純物を拡散源とした拡散
処理を行うことによりエクステンション領域を形成する
ため、エクステンション領域形成後の不純物拡散に寄与
する熱処理の影響を最小限に軽減することによって、浅
いPN接合を有するMOSトランジスタを得ることがで
きる。

【0092】さらに、実施の形態4のMOSトランジス

18

タの製造方法は、NMOSトランジスタ及びPMOSト
ランジスタそれぞれのゲート電極（実ゲート電極37及
び実ゲート電極40B）を、各々の導電型のポリシリコ
ンで形成することにより、それぞれの導電型に適合した
仕事関数のゲート電極が形成でき、容易にトランジスタ
を設計することが可能で、かつ制御性が向上する。

【0093】＜実施の形態5＞図38～図45はこの発
明の実施の形態5であるCMOS構造のMOSトランジ
スタの製造方法を示す断面図である。以下、これらの図
を参照して、実施の形態5の製造方法を説明する。

【0094】まず、図38に示すように、シリコン基板
1の上層部に素子分離領域2を選択的に形成し、NMO
S領域41及びPMOS領域42にPウェル領域43及
びNウェル領域44をそれぞれイオン注入等によって形
成した後、シリコン基板1上の全面にシリコン酸化膜
3、N型ポリシリコン層38を順次堆積する。

【0095】次に、図39に示すように、N型ポリシリ
コン層38上にレジスト5を形成した後、写真製版によ
りレジスト5をパターニングする。

【0096】そして、図40に示すように、パターニン
グされたレジスト5をマスクとして、N型ポリシリコン
層38及びシリコン酸化膜3をエッチングして、PMO
S領域42にダミーゲート電極（配線）40C及びダミ
ーゲート酸化膜3Cからなるダミーゲート電極部を得る
と同時に、NMOS領域41に実ゲート電極40D及び
実ゲート酸化膜3Dからなる実ゲート電極部を得る。

【0097】その後、図41～図44で示す工程は、図
14～図17で示す実施の形態2の工程と同様に行わ
れ、図44で示す構造が得られる。

【0098】そして、図45に示すように、開口部49
内にゲート酸化膜29、P型のポリシリコン層からなる
実ゲート電極（配線）39を順次形成することにより、
開口部49内をゲート酸化膜29及び実ゲート電極39
によって埋める。

【0099】そして、図46に示すように、シリコン窒
化膜27上にシリコン窒化膜等の層間絶縁膜50を形成
する。この層間絶縁膜50の形成の際の熱処理によっ
て、PMOS領域42ではボロン含有サイドウォール2
8a、28b内のボロンを拡散源とした拡散によってP
型エクステンション領域31a、31bが形成され、N
MOS領域41ではリン含有サイドウォール23a、2
3b内のリンを拡散源とした拡散によってN型エクステ
ンション領域32a、32bが形成される。

【0100】その後、配線等の既存のプロセスを経てN
MOSトランジスタとPMOSトランジスタとからなる
CMOS構造の半導体デバイスが完成する。なお、NM
OS領域41に作製されるNMOSトランジスタは、N
型拡散領域26、N型エクステンション領域32、実ゲ
ート酸化膜3D、実ゲート電極40Dによって規定さ
れ、PMOS領域42に作製されるPMOSトランジス

19

タは、P型拡散領域22、P型エクステンション領域31、実ゲート酸化膜29、及び実ゲート電極30によって規定される。そして、N型拡散領域26及びN型エクステンション領域32がNMOSトランジスタのソース・ドレイン領域となり、P型拡散領域22及びP型エクステンション領域31がPMOSトランジスタのソース・ドレイン領域となる。

【0101】このように、実施の形態5のMOSトランジスタの製造方法は、実施の形態1～実施の形態4と同様、ソース・ドレイン主要領域形成後に、層間絶縁膜形成時等のサイドウォール形成後の熱処理を利用して、不純物含有サイドウォール内の不純物を拡散源とした拡散処理を行うことによりエクステンション領域を形成するため、エクステンション領域形成後の不純物拡散に寄与する熱処理の影響を最小限に軽減することによって、浅いPN接合を有するMOSトランジスタを得ることができる。

【0102】さらに、実施の形態5のMOSトランジスタの製造方法は、実施の形態4と同様、NMOSトランジスタ及びPMOSトランジスタそれぞれのゲート電極を、各々の導電型のポリシリコンで形成することにより、それぞれの導電型に適合した仕事関数のゲート電極が形成でき、容易にトランジスタを設計することが可能で、かつ制御性が向上する。

【0103】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置の製造方法は、第1及び第2のソース・ドレイン主要領域形成の後に実行されるステップ(f)で、第1及び第2のエクステンション用サイドウォール内の第1のエクステンション用不純物を拡散源とした第1の拡散処理により、第1及び第2のソース・ドレイン主要領域それぞれに隣接して、第1の導電型の第1及び第2のエクステンション領域を形成している。

【0104】したがって、第1及び第2のソース・ドレイン主要領域の形成時の熱処理は、第1及び第2のエクステンション領域には全く関与しなくなり、第1及び第2のソース・ドレイン主要領域の形成時の熱処理の影響が省略される分、形成深さの浅い第1及び第2のエクステンション領域を形成することができる。

【0105】また、第1及び第2のエクステンション用サイドウォールは先に形成された第1及び第2の補助用サイドウォールに隣接して形成することにより、第1の拡散処理実行時にソース・ドレイン主要領域に隣接して位置精度良くエクステンション領域を形成することができる。

【0106】請求項2記載の半導体装置の製造方法において、ステップ(f)で実行される第1の拡散処理は層間絶縁膜の形成時の熱処理を利用して行うため、エクステンション領域形成用の工程を別途追加することなく、エクステンション領域を形成することができる。

20

【0107】請求項3記載の半導体装置の製造方法において、ステップ(f)は、ポケット用不純物を拡散源とした第2の拡散処理により、第1及び第2のポケット領域をさらに形成するため、ソース・ドレイン主要領域に隣接してエクステンション領域とともにポケット領域を有する絶縁ゲート構造の第1のトランジスタを製造することができる。

【0108】請求項4記載の半導体装置の製造方法において、ポケット用不純物は第1のエクステンション用不純物より拡散係数が大きいため、拡散係数の違いによって、第1及び第2のエクステンション領域は半導体基板の表面から比較的浅い領域に形成され、第1及び第2のポケット領域は半導体基板の表面から比較的深い領域に形成されることにより、第1及び第2のエクステンション領域と第1及び第2のポケット領域とは確実に分離形成される。

【0109】請求項5記載の半導体装置の製造方法において、ステップ(f)で実行される第1及び第2の拡散処理は層間絶縁膜の形成時の熱処理を利用して同時に行うため、エクステンション領域形成用及びポケット領域形成用の工程を別途追加することなく、第1及び第2のエクステンション領域並びに第1及び第2のポケット領域を同時に形成することができる。

【0110】請求項6記載の半導体装置の製造方法において、第1の実ゲート電極を形成するゲート電極材料は第1の導電型のゲート電極材料を含むため、第1の導電型の第1のトランジスタの仕事関数に適した第1の実ゲート電極を形成することができる。

【0111】請求項7記載の半導体装置の製造方法のステップ(g)によって、実ゲート電極部が形成されるべき領域下方の半導体基板の表面内の領域を第2の導電型のチャネル領域とした第1のトランジスタを得ることができる。

【0112】請求項8記載の半導体装置の製造方法のステップ(g)は、開口部を介して行う第2の導電型の不純物イオンを注入するイオン注入処理を含むため、ステップ(f)で開口部内に形成される第1の実ゲート電極下に第2の導電型のチャネル領域を位置精度良く形成することができる。

【0113】さらに、チャネル領域は第1及び第2のソース・ドレイン主要領域形成後に形成されるため、ソース・ドレイン主要領域形成時における熱処理による不純物の再分布の影響を抑制することができる。

【0114】請求項9記載の半導体装置の製造方法のステップ(f)は、第3及び第4のエクステンション用サイドウォール内の第2のエクステンション用不純物を拡散源とした第3の拡散処理により、第2の導電型の第3及び第4のエクステンション領域をさらに形成している。

【0115】したがって、第3及び第4のソース・ドレイン主要領域の形成時の熱処理は、第3及び第4のエク

21

ステンション領域には全く関与しなくなり、第3及び第4のソース・ドレイン主要領域の形成時の熱処理の影響が省略される分、形成深さの浅い第3及び第4のエクステンション領域を形成することができる。

【0116】また、仮ゲート電極部と第2のゲート電極部とは共に、ゲート絶縁膜（仮ゲート絶縁膜、第2の実ゲート絶縁膜）とゲート電極（仮ゲート電極、第2の実ゲート電極）とからなる積層構造であるため、仮ゲート絶縁膜及び仮ゲート電極と第2の実ゲート絶縁膜及び第2の実ゲート電極とがそれぞれ同一材料で形成される場合、仮ゲート電極部と第2のゲート電極部とを同時に形成することができる分、製造工程の簡略化を図ることができる。

【0117】請求項10記載の半導体装置の製造方法は、共に第2のエクステンション用不純物を含有する第1及び第2の補助用サイドウォールと第3及び第4のエクステンション用サイドウォールとを同時に形成することにより、製造工程の簡略化を図ることができる。

【0118】請求項11記載の半導体装置の製造方法において、第1及び第2の実ゲート電極のゲート電極材料は第1及び第2の導電型のゲート電極材料をそれぞれ含むため、第1及び第2の導電型の第1及び第2のトランジスタそれぞれの仕事関数に適した第1及び第2の実ゲート電極を形成することができる。

【0119】請求項12記載の半導体装置の製造方法のステップ(a-l)で、共に第2の導電型のゲート電極材料からなる仮ゲート電極と第2のゲート電極とを同時に形成することにより、製造工程の簡略化を図ることができる。

【0120】この発明にかかる請求項13記載の半導体装置において、第1及び第2のサイドウォール下に他の領域より浅く形成される第1及び第2のエクステンション領域は、第1及び第2のエクステンション用サイドウォール内のエクステンション用不純物を拡散源とした第1の拡散処理により得ることができる。

【0121】したがって、請求項13記載のトランジスタを得るべく、例えば、仮ゲート電極部をマスクとして不純物を導入して第1及び第2のソース・ドレイン主要領域を形成し、仮ゲート電極部に隣接して第1及び第2の補助用サイドウォールを形成し、その後、仮ゲート電極部を除去して開口部を形成し、開口部内で第1及び第2の補助用サイドウォールに隣接して第1及び第2のエクステンション用サイドウォールを形成し、残存する開口部に実ゲート電極部（ゲート絶縁膜、ゲート電極）を形成した後、上記第1の拡散処理を実行することにより、ソース・ドレイン主要領域に隣接した位置精度の良いエクステンション領域を得ることができる。

【0122】さらに、上記例のように製造すれば、第1及び第2のソース・ドレイン主要領域の形成時の熱処理は、第1及び第2のエクステンション領域には全く関与

22

しなくなり、第1及び第2のソース・ドレイン主要領域の形成時の熱処理の影響が省略される分、接合深さの浅い第1及び第2のエクステンション領域を得ることができる。

【0123】請求項14記載の半導体装置において、第1及び第2のエクステンション用サイドウォール下に形成される第2の導電型の第1及び第2のポケット領域は、第1及び第2のエクステンション用サイドウォール内のポケット用不純物を拡散源とした第2の拡散処理により得ることができる。

【0124】したがって、上記第1及び第2のソース・ドレイン主要領域の形成後に、上記第2の拡散処理を実行して第1及び第2のソース・ドレイン主要領域に隣接した位置精度の良い第1及び第2のポケット領域を得ることができる。

【0125】請求項15記載の半導体装置において、ゲート電極を形成するゲート電極材料は第1の導電型のゲート電極材料を含むため、第1の導電型の第1のトランジスタの仕事関数に適した第1の実ゲート電極を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図2】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図3】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図4】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図5】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図6】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図7】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図8】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図9】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図10】 この発明の実施の形態1のMOSトランジスタの製造方法を示す断面図である。

【図11】 この発明の実施の形態2のMOSトランジスタの製造方法を示す断面図である。

【図12】 この発明の実施の形態2のMOSトランジスタの製造方法を示す断面図である。

【図13】 この発明の実施の形態2のMOSトランジスタの製造方法を示す断面図である。

【図14】 この発明の実施の形態2のMOSトランジスタの製造方法を示す断面図である。

【図15】 この発明の実施の形態2のMOSトランジ

23

スタの製造方法を示す断面図である。

【図 16】 この発明の実施の形態 2 の MOS トランジスタの製造方法を示す断面図である。

【図 17】 この発明の実施の形態 2 の MOS トランジスタの製造方法を示す断面図である。

【図 18】 この発明の実施の形態 2 の MOS トランジスタの製造方法を示す断面図である。

【図 19】 この発明の実施の形態 2 の MOS トランジスタの製造方法を示す断面図である。

【図 20】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 21】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 22】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 23】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 24】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 25】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 26】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 27】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 28】 この発明の実施の形態 3 の MOS トランジスタの製造方法を示す断面図である。

【図 29】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 30】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 31】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 32】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 33】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 34】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 35】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 36】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 37】 この発明の実施の形態 4 の MOS トランジスタの製造方法を示す断面図である。

【図 38】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

24

【図 39】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 40】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 41】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 42】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 43】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 44】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 45】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 46】 この発明の実施の形態 5 の MOS トランジスタの製造方法を示す断面図である。

【図 47】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 48】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 49】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 50】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 51】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 52】 従来の MOS トランジスタの製造方法を示す断面図である。

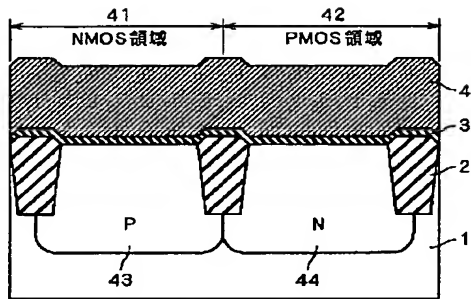
【図 53】 従来の MOS トランジスタの製造方法を示す断面図である。

【図 54】 従来の MOS トランジスタの製造方法を示す断面図である。

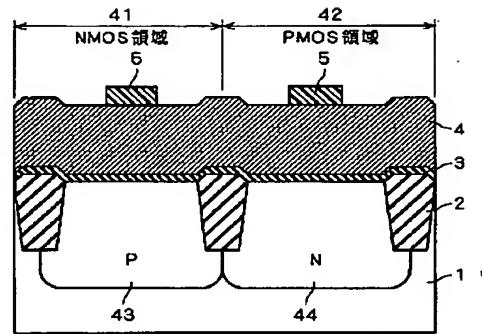
【符号の説明】

3A, 3C, 16 ダミーゲート酸化膜、3B, 3D, 40B, 40D, 17, 29 実ゲート酸化膜、6A, 6C, 40A, 40C ダミーゲート電極、6B, 6D, 16, 30, 37, 39, 40B, 40D 実ゲート電極、9a, 9b N型拡散領域、10a, 10b, 28a, 28b ボロン含有サイドウォール、13a, 13b P型拡散領域、15a, 15b, 23a, 23b リン含有サイドウォール、18a, 18b, 34a, 34b N型エクステンション領域、19a, 19b P型エクステンション領域、33a, 33b ボロン・ヒソ含有サイドウォール、35a, 35b P型ポケット領域、36 P型ポリシリコン層、38 N型ポリシリコン層、41 NMOS領域、42 PMOS領域、48, 50 層間絶縁膜。

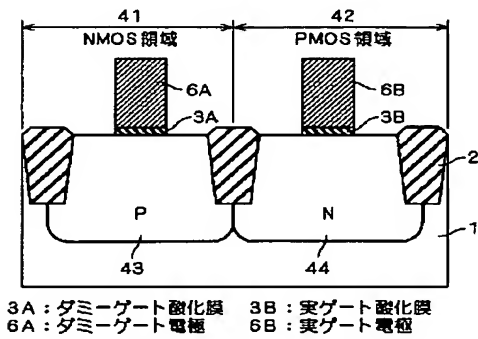
【図1】



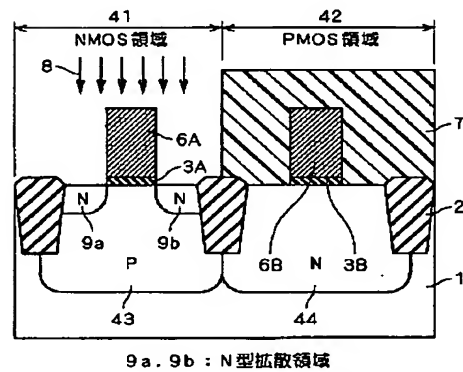
【図2】



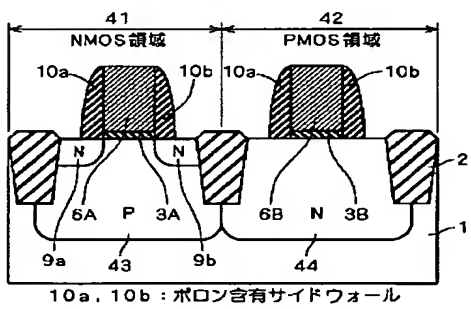
【図3】



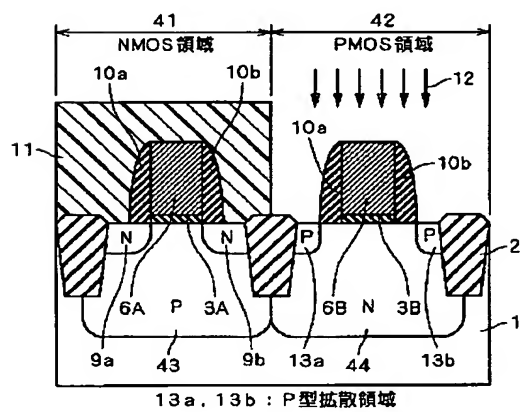
【図4】



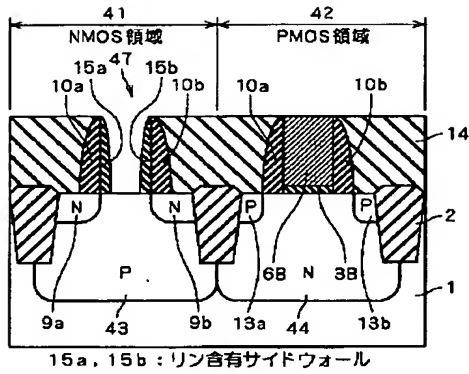
【図5】



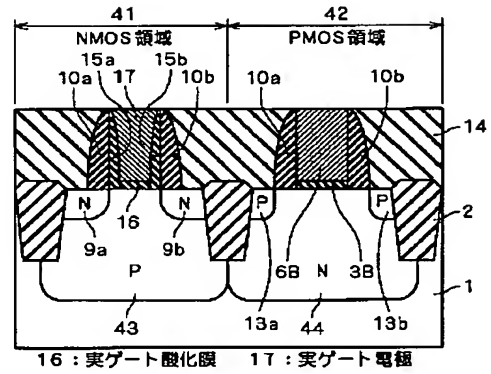
【図6】



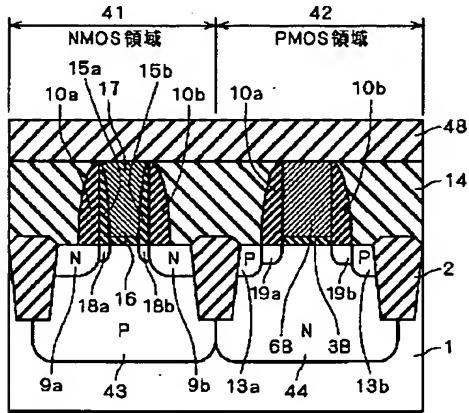
【図7】



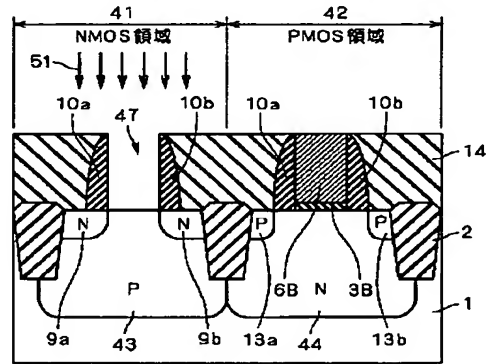
【図8】



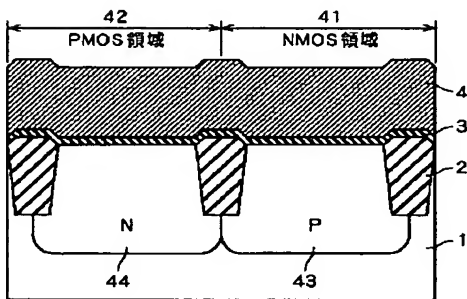
【図9】



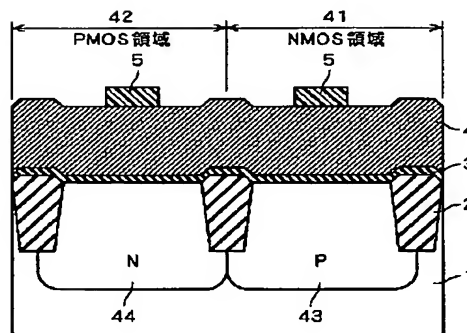
【図10】



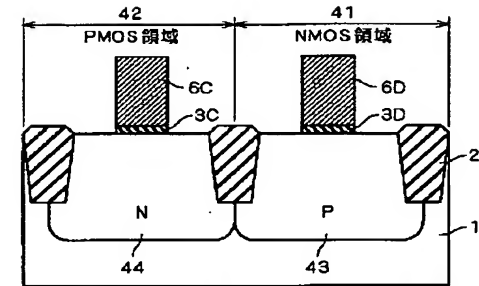
【図11】



【図12】

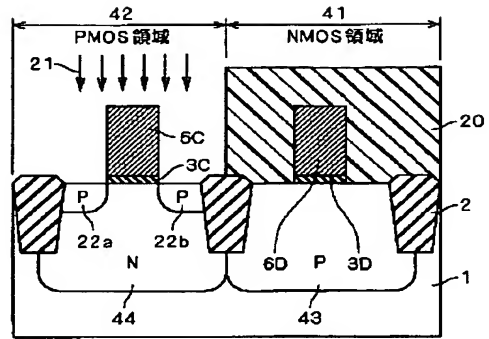


【図13】



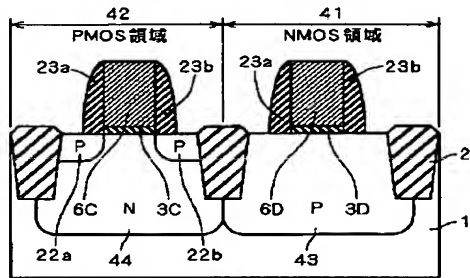
3C:ダミーゲート酸化膜 3D:実ゲート酸化膜
6C:ダミーゲート電極 6D:実ゲート電極

【図14】



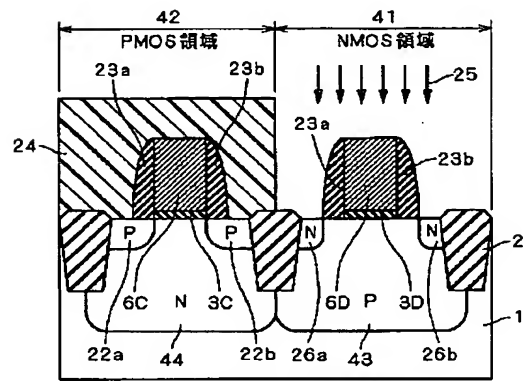
22a, 22b: P型拡散領域

【図15】



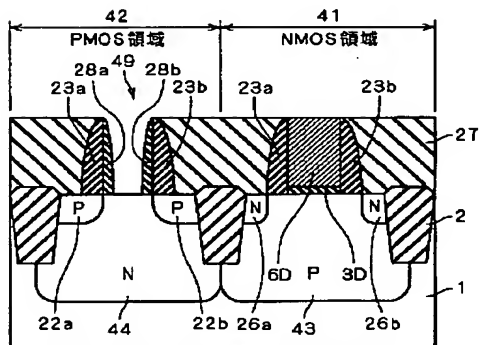
23a, 23b: リン含有サイドウォール

【図16】



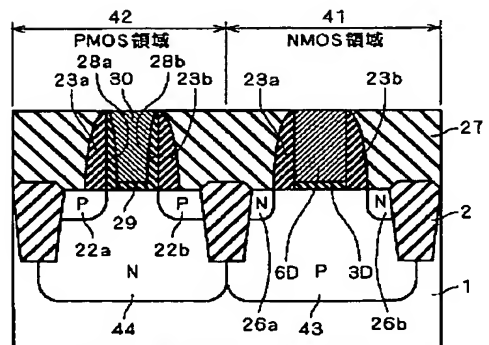
26a, 26b: N型拡散領域

【図17】



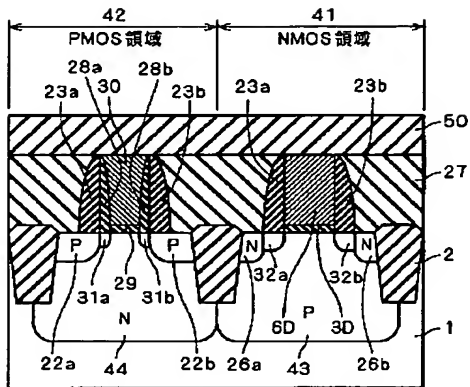
28a, 28b: ボロン含有サイドウォール

【図18】



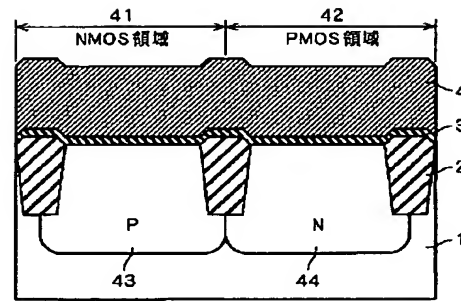
29:実ゲート酸化膜 30:実ゲート電極

【図 19】

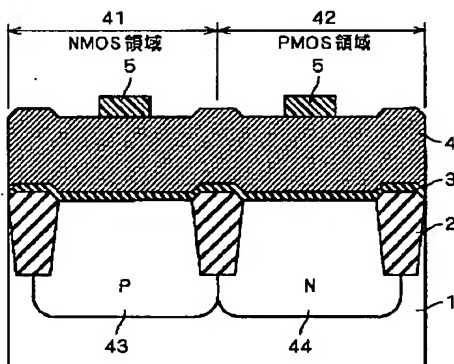


31a, 31b : P型エクステンション領域
 32a, 32b : N型エクステンション領域
 50 : 層間絶縁膜

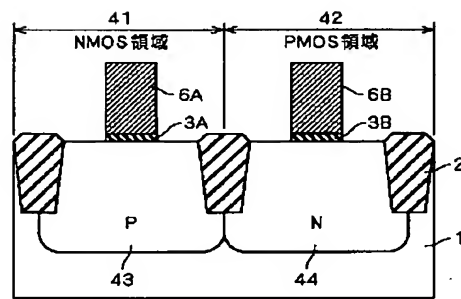
【図 20】



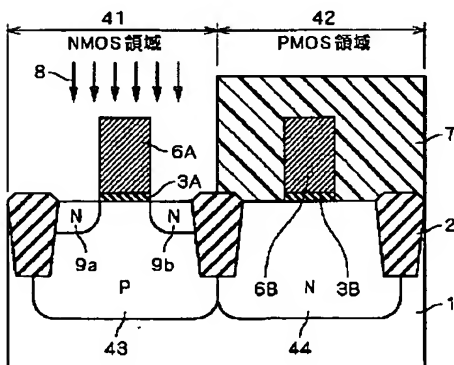
【図 21】



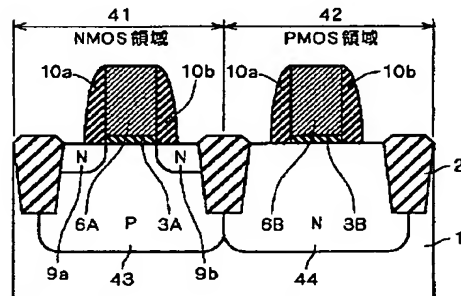
【図 22】



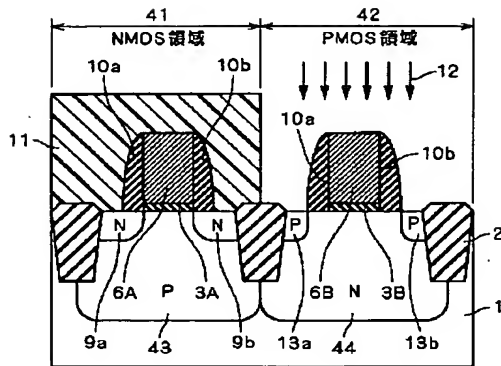
【図 23】



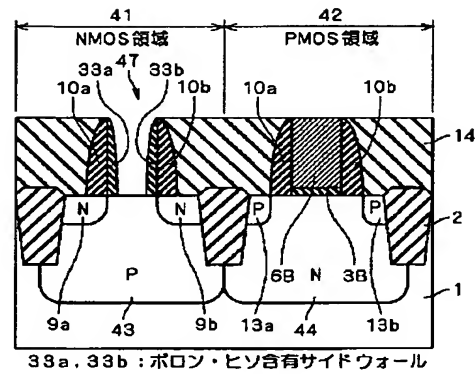
【図 24】



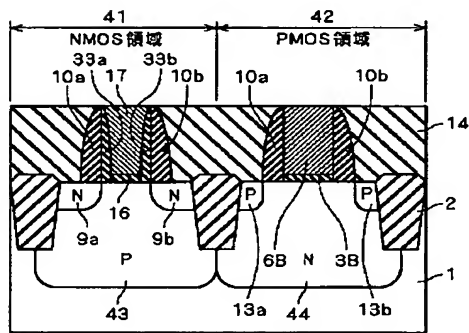
【図25】



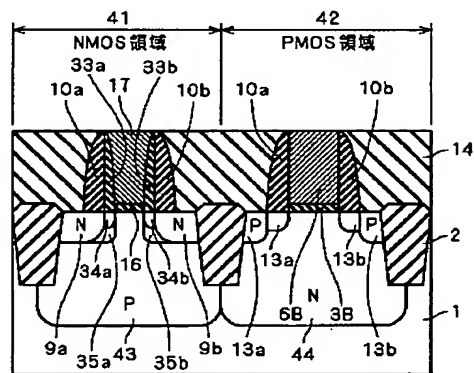
【図26】



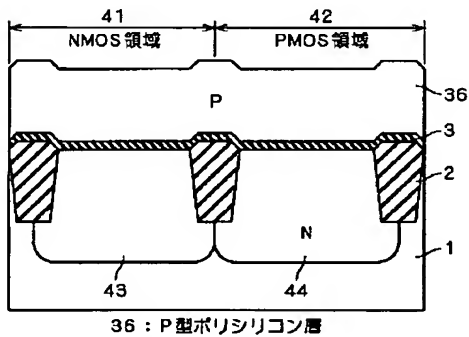
【図27】



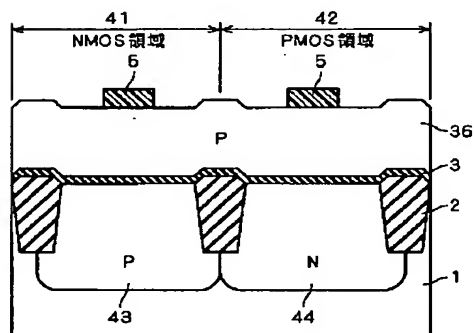
【図28】



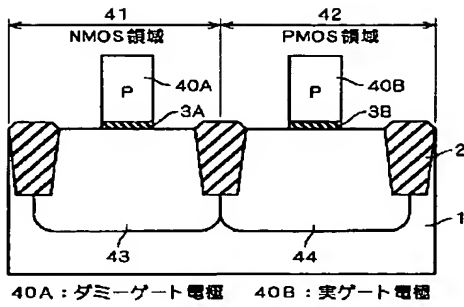
【図29】



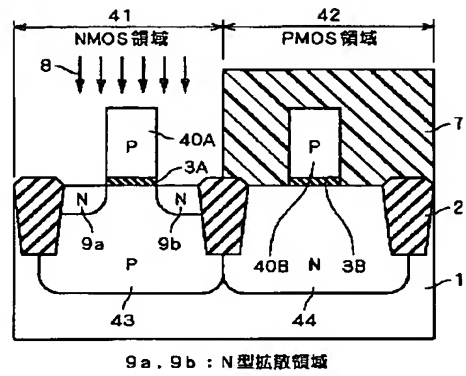
【図30】



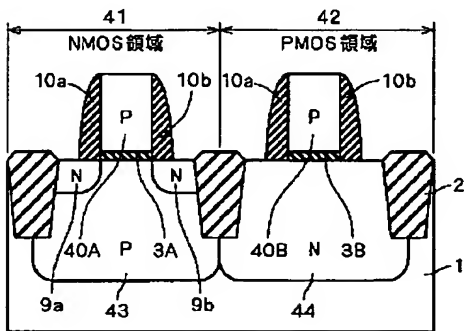
【図31】



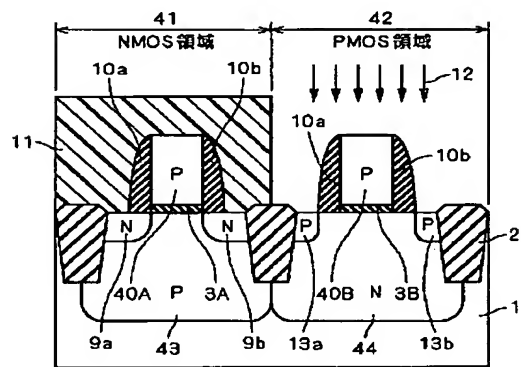
【図32】



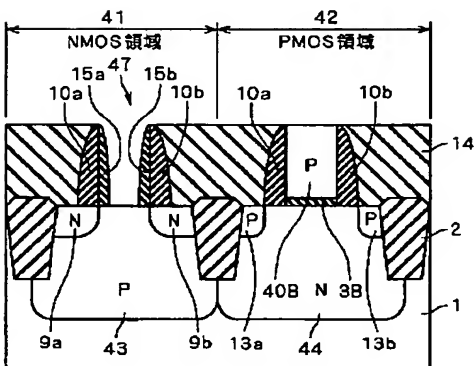
【図33】



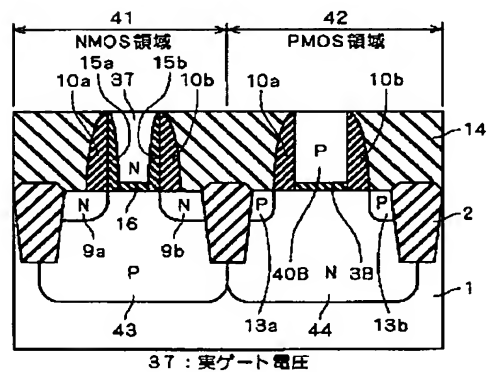
【図34】



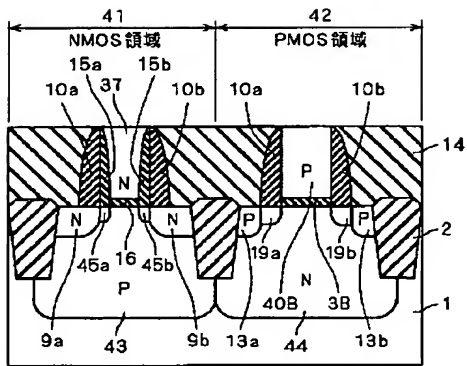
【図35】



【図36】

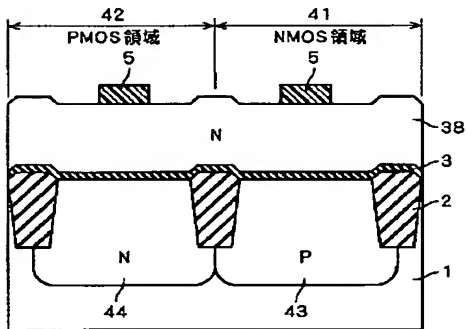


【図37】

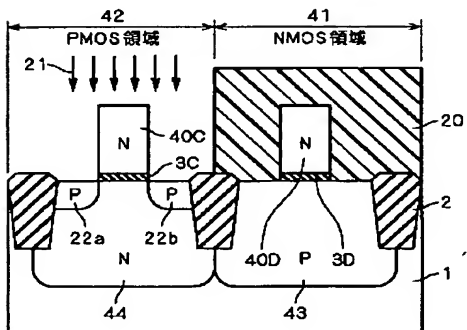


45a, 45b : N型エクステンション領域

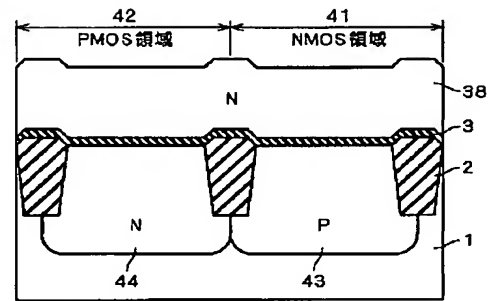
【図39】



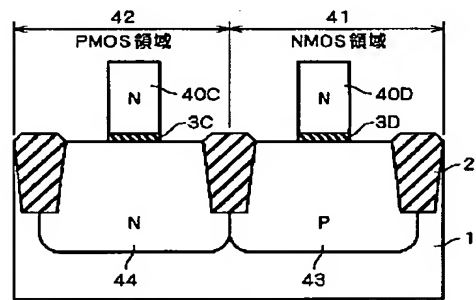
【図41】



【図38】

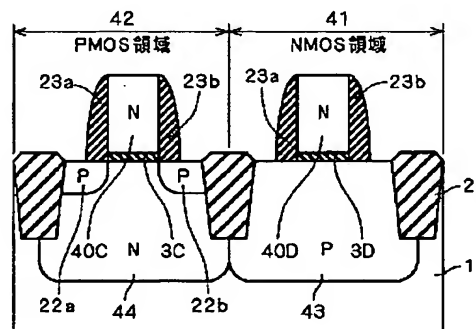


【図40】

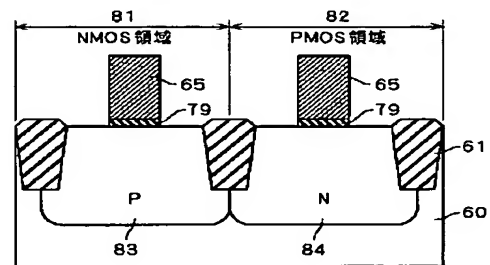


40C : ダミーゲート電極 40D : 実ゲート電極

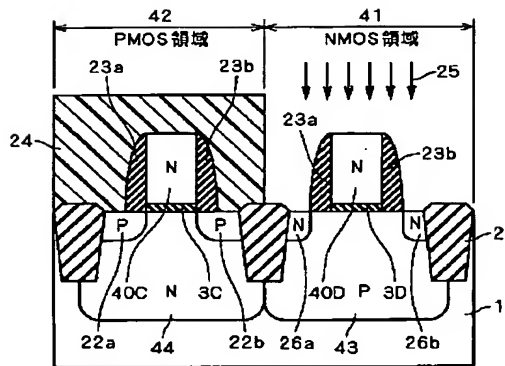
【図42】



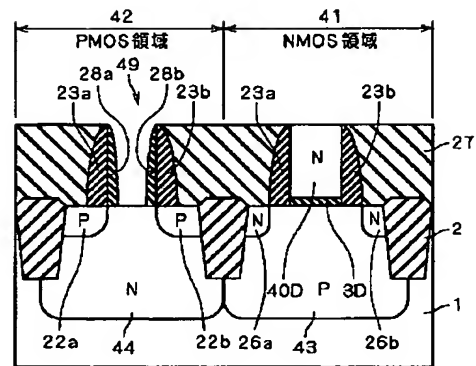
【図49】



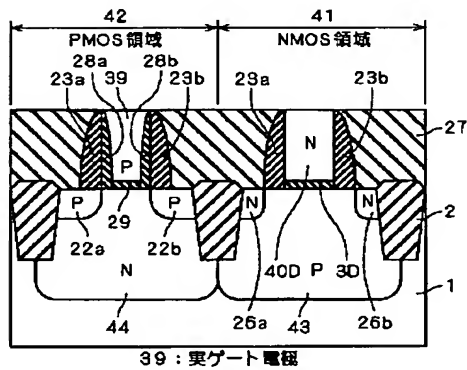
【図 4 3】



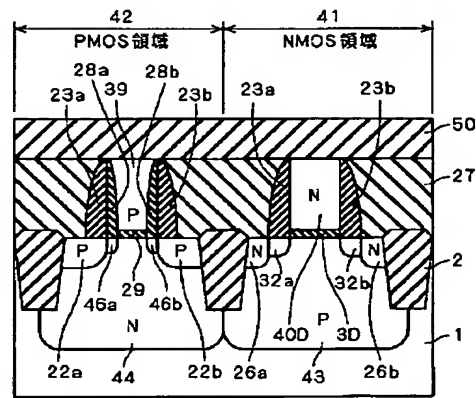
【図 4 4】



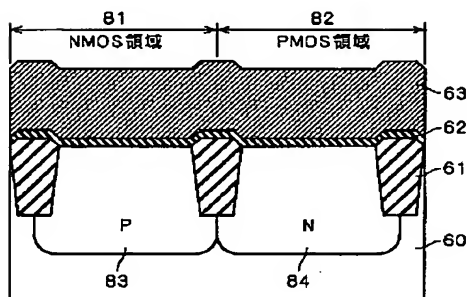
【図 4 5】



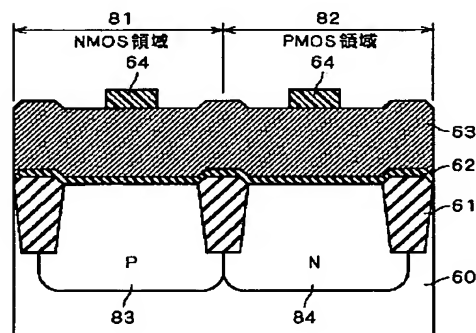
【図 4 6】



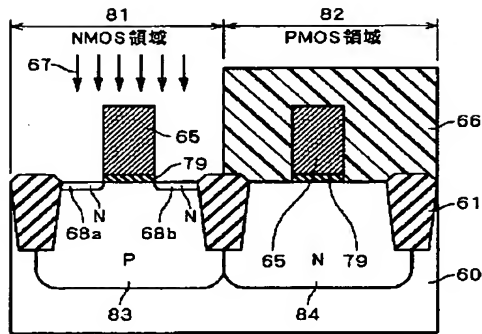
【図 4 7】



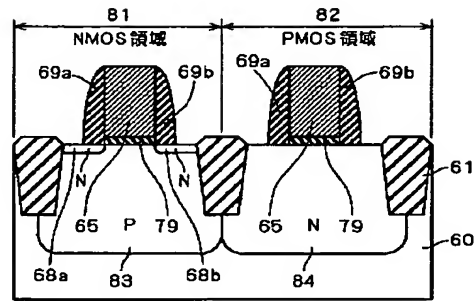
【図 4 8】



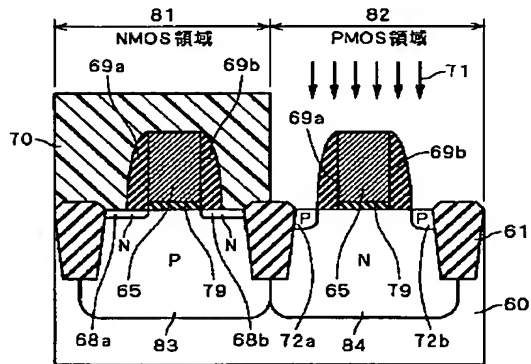
【図50】



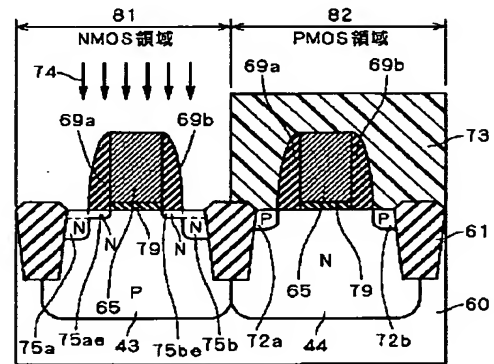
【図51】



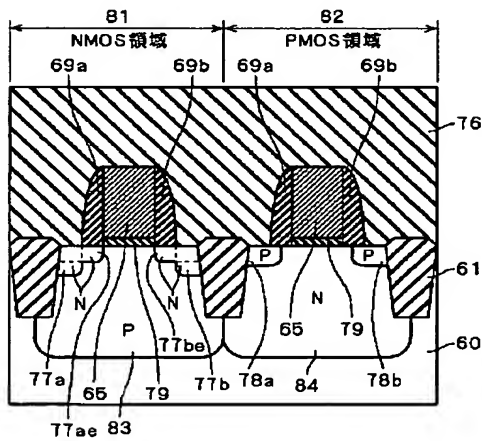
【図52】



【図53】



【図54】



フロントページの続き

(72) 発明者 伊藤 康悦
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム (参考) 4M104 BB01 BB18 CC05 DD03 DD04
DD26 DD80 EE03 EE09 EE15
EE16 EE17 GG09 GG10 GG14
GG16 HH14
5F040 DA13 DB03 DC01 EC04 EC07
EC08 ED03 ED04 EF02 EK05
EM01 EM03 FA02 FA04 FA09
FB03 FC11 FC13
5F048 AA00 AA01 AB01 AB03 AC03
BA01 BB05 BB07 BB09 BB11
BB14 BC05 BC06 BE03 BG14
DA25 DA29 DA30 DB02 DB03
DB06